

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020040060443 A
 (43)Date of publication of application: 06.07.2004

(21)Application number: 1020020087241
 (22)Date of filing: 30.12.2002

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: JUNG, YONG GUK
 KWON, DAE JIN
 WON, SEOK JUN
 YOON, MYEONG GEUN

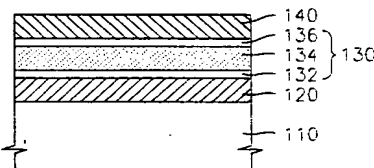
(51)Int. Cl. H01L 21 /8242

(54) METHOD FOR FABRICATING CAPACITOR OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for fabricating a capacitor of a semiconductor device is provided to lower the boosting frequency and the power consumption by increasing a capacitance value per unit area.

CONSTITUTION: A bottom electrode(120) of a capacitor is formed on an upper surface of a semiconductor substrate(110). The first dielectric layer(132) is formed by depositing an aluminum oxide on an upper surface of the bottom electrode of the capacitor. The second dielectric layer(134) is formed on an upper surface of the first dielectric layer. The third dielectric layer(136) is formed on an upper surface of the second dielectric layer. A top electrode(140) of the capacitor is formed on an upper surface of the third dielectric layer.



copyright KIPO 2004

Legal Status

Date of request for an examination (20021230)
 Notification date of refusal decision (00000000)
 Final disposal of an application (registration)
 Date of final disposal of an application (20050430)
 Patent registration number (1004930400000)
 Date of registration (20050525)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent (00000000)
 Number of trial against decision to refuse ()
 Date of requesting trial against decision to refuse ()

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/8242

(11) 공개번호
(43) 공개일자

10-2004-0060443
2004년07월06일

(21) 출원번호
(22) 출원일자
(71) 출원인

10-2002-0087241
2002년12월30일
삼성전자주식회사
대한민국
442-742
경기도 수원시 영통구 매탄동 416

(72) 발명자

원석준
대한민국
151-057
서울특별시관악구봉천7동1603-251/8
윤명근
대한민국
137-130
서울특별시서초구양재동11-82번지103호
정용국
대한민국
151-061
서울특별시관악구봉천11동1651-25B01호
권대진
대한민국
462-130
경기도성남시중원구2792현대빌라나동402호

(74) 대리인
(77) 심사청구
(54) 출원명

이영필
있음
반도체 소자의 커패시터 및 그 제조방법

요약

산화 알루미늄막/고유전체막/산화 알루미늄막으로 구성된 유전막을 포함하는 반도체 소자의 커패시터 및 그 제조방법에 대하여 개시한다. 본 발명에 의한 반도체 소자의 커패시터는 반도체 기판에 형성된 커패시터 하부 전극과 커패시터 하부 전극 상에 산화 알루미늄으로 형성된 제1 유전막, 제1 유전막 상에 산화 알루미늄보다 유전 상수가 큰 물질로 형성된 제2 유전막 및 제2 유전막 상에 산화 알루미늄으로 형성된 제3 유전막으로 구성된 유전막과 이 유전막 상에 형성된 커패시터 상부 전극을 포함한다. 본 발명에 의한 커패시터는 전력의 소모가 적고 고집적화에 유리하도록 단위 면적당 높은 커패시턴스를 갖는 등 여러 가지 전기적 특성이 우수하다.

도면부

도 1

도 2

도 3

도 4

도면의 간단한 설명

도 1은 본 발명에 의한 반도체 소자의 커패시터를 구성하는 커패시터 전극 및 유전막의 구성을 보여주는 도면이고,

도 2는 여러 가지 유전막에 대하여 10nA의 누설 전류를 갖는 전압을 비교한 그래프이고,

도 3은 본 발명에 의한 커패시터의 일 실시예인 Al_2O_3 (이하, 'AlO'라 한다)/ Ta_2O_5 (이하, 'TaO'라 한다)/AlO 유전막을 포함하는 커패시터와 AlO/ Ta_2O_5 유전막을 포함하는 커패시터의 누설 전류 특성을 비교하여 도시한 그래프이고,

도 4는 AlO/ Ta_2O_5 의 구조에서 커패시터 상부 전극의 증착 방법에 따른 누설 전류 밀도의 크기를 비교하여 도시한 그래프이고,

도 5는 FVD법으로 커패시터 상부 전극을 형성한 후에 450℃로 열처리를 한 경우와 하지 않은 경우에 누설 전류 밀도의 크기를 비교하여 도시한 그래프이고,

도 6은 본 발명의 일 실시예에 따른 AlO/ Ta_2O_5 /AlO 유전막을 포함하는 커패시터의 TDDB결과를 보여주는 그래프이고,

도 7a 내지 도 7f는 본 발명에 따른 커패시터의 제조방법의 일 실시예를 공정 순서에 따라 도시한 단면도이고,

도 8은 ALD법을 이용하여 AlO막을 증착할 때, 반응 가스에 H기를 함유한 경우와 그렇지 않은 경우에 누설 전류 밀도의 크기를 비교하여 나타낸 그래프이고,

도 9는 ALD법을 이용하여 AlO막을 증착할 때, 반응 가스에 H기를 함유한 경우와 그렇지 않은 경우에 10nA 항복 전압의 크기를 비교하여 나타낸 그래프이고,

도 10은 CVD법을 이용하여 TaO막을 증착한 후에, 후속 열처리 공정을 실시한 경우에 그렇지 않은 경우에 누설 전류 밀도의 크기를 비교하여 나타낸 그래프이다.

(도면의 주요 부분에 대한 부호의 설명)

110, 210 : 기판○○○○120, 220 : 커패시터 하부 전극

132, 136, 232, 236 : AlO막○○134, 234 : 제2 유전막

140 : 커패시터 상부 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 보다 구체적으로는 반도체 소자의 커패시터 및 그 커패시터를 제조하는 방법에 관한 것이다.

반도체 소자가 고집적화 됨에 따라 단위 셀 면적은 계속 감소되고 있다. 이에 따라서 셀 커패시턴스도 감소하게 되고, 셀 커패시턴스의 감소는 집적도 증가에 심각한 장애 요인이 되고 있다.

셀 커패시턴스가 감소하게 되면 액정 표시 장치의 구동 집적회로(LCD Drive IC : LDI)와 같은 고전압(high voltage, 예컨대 10V 이상) 소자의 경우에는 부스팅(boosting) 주파수가 증가하여 전력 소모가 많고 전체 칩의 크기를 축소시키는 데에도 장애가 된다. 또한, 메모리 소자의 경우에는 셀의 독출 능력을 저하시키고, 소프트 에러율을 증가시킬 뿐만 아니라 저전압에서의 소자 동작을 어렵게 할 뿐만 아니라 소자 작동시 전력 소모를 과다하게 한다. 이에 따라, 초고집적도를 가진 반도체 고전압 소자나 메모리 소자를 제조하기 위해서는 셀 커패시턴스 즉 단위 면적당 커패시턴스를 증가시킬 수 있는 방법을 개발해야 할 필요성이 있다.

일반적으로, 커패시터에 사용되는 유전막의 유전 특성은 등가 산화막 두께(Toxeq)와 누설 전류 밀도(leakage current density)로 평가될 수 있다. 등가 산화막 두께는 실리콘 산화물이 아닌 다른 유전 물질로 이루어지는 유전막을 실리콘 산화물로 이루어지는 유전막의 두께로 환산한 값으로서, 그 값이 작을수록 단위 면적당 커패시턴스는 증가한다. 또한, 누설 전류 밀도는 커패시터의 전기적 특성 및 전력 소모와 관련된 것으로서, 그 값이 낮은 것이 반도체 소자의 전기적 특성상 바람직하다.

셀 커패시턴스를 증가시키기 위한 방법으로서, 종래에는 커패시터의 유전막으로서 실리콘 산화막(SiO₂, 이하 'O'로 표시) 및 실리콘 질화막(Si₃N₄,

이하 'N'으로 표시)의 조합을 사용하여 왔다. 예를 들면, NO, ON 또는 ONO막 등을 사용하여 왔다. 하지만, 이러한 실리콘 산화막이나 실리콘 질화막은 유전 상수가 작은 물질들이기 때문에 이러한 물질을 사용해서 커패시턴스를 향상시키는 것은 한계가 있다.

그래서, 실리콘 산화막이나 실리콘 질화막을 사용하지 않고 유전율이 큰 물질을 사용하여 고유전막으로 대체하려는 연구가 활발하게 이루어지고 있다. 그에 따라, 현재에는 유전 상수가 큰 여러 가지 금속 산화물이 반도체 소자의 커패시터를 구성하는 유전막 재료로서 주목받고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 전류의 누설을 방지함으로써 전력 소모를 감소시킬 수 있고 또한 크기를 축소시킴으로써 초고집적화를 이룰 수 있도록 단위 면적 당 커패시턴스 값이 큰 커패시터를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 전류의 누설을 방지함으로써 전력 소모를 감소시킬 수 있고 또한 크기를 축소시킴으로써 초고집적화를 이룰 수 있도록 단위 면적 당 커패시턴스 값이 큰 커패시터를 제조하는 방법을 제공하는데 있다.

발명의 구성 및 작용

성리한 기술적 과제를 달성하기 위한 본 발명에 의한 반도체 소자의 커패시터는 반도체 기판에 형성된 커패시터 하부 전극, 커패시터 하부 전극 상에 산화 알루미늄(Al₂O₃)으로 형성된 제1 유전막, 제1 유전막 상에 산화 알루미늄보다 유전 상수가 큰 물질로 형성된 제2 유전막, 제2 유전막 상에 산화 알루미늄으로 형성된 제3 유전막 및 제3 유전막 상에 형성된 커패시터 상부 전극을 포함한다. 본 발명의 커패시터 유전막은 밴드 갭(narrow gap)이 크고 터널링 메커니즘(tunneling mechanism)을 따르는 물질인 산화 알루미늄으로 형성된 제1 및 제3 유전막과 산화 알루미늄보다는 유전 상수가 크고 제1 및 제3 유전막에 대하여 전압을 분배하는 역할(voltage distributor)을 할 수 있는 고유전체 물질로 형성된 제2 유전막을 포함한다.

본 발명의 일 실시예에 의하면 제2 유전막을 형성하는 물질은 유전 상수가 20이상인 물질인 것이 바람직한데, 예를 들면 제2 유전막은 Ta₂O₅ 막, 타이타늄(Ti)이 도핑된 Ta₂O₅ 막, TaO_xN_y 막, HfO₂ 막, ZrO

막, Pb₂O₃ 막, La₂O₃ 막, SiTiO₃ (STO)막, (Ea,Sr)TiO₃ (BST)막, PbTiO₃ 막, Pb(Zr,Ti)O₃ (PZT)막, SrBi₂

TiO₃ (SST)막, (Pb,La)(Zr,Ti)O₃ 막 및 BaTiO₃

(BTO)막으로 이루어진 군에서 선택되는 어느 하나의 단일막 또는 이들 막의 조합으로 이루어질 수 있다. 그리고, 제2 유전막의 두께는 제1 유전막 및 제3 유전막의 두께보다 두꺼운 것이 바람직한다. 예를 들면 100 내지 1000 Å 사이일 수 있다.

본 발명의 실시예에 의하면 제1 유전막 또는 제3 유전막의 두께는 30 내지 300 Å 사이일 수 있다. 그리고, 커패시터 하부 전극 또는 커패시터 상부 전극은 도핑된 폴리실리콘, W, Pt, Ru, Ir 등의 금속, TiN, TaN, WN 등의 전도성 금속 질화물, 또는 RuO_2 , IrO_2 등의 전도성 금속 산화물로 이루어지는 단일막 또는 이들의 조합으로 이루어진 복합막일 수 있다.

본 발명의 다른 기술적 과제를 달성하기 위한 반도체 소자의 커패시터 제조방법은 먼저 반도체 기판에 커패시터 하부 전극을 형성한다. 다음으로, 커패시터 하부 전극 상에 산화 알루미늄(Al_2O_3)으로 형성된 제1 유전막을 형성하고, 계속해서 제1 유전막 상에 산화 알루미늄보다 유전 상수가 큰 물질로 제2 유전막을 형성한 다음 제2 유전막 상에 산화 알루미늄으로 형성된 제3 유전막을 형성한다. 마지막으로, 제3 유전막 상에 커패시터 상부 전극을 형성한다.

본 발명의 일 실시예에 의하면 제2 유전막은 유전 상수가 200이상의 물질로 형성할 수 있는데, 예를 들면 제2 유전막은 Ta_2O_5 막, 타이타늄(Ti)이 도핑된 Ta_2O_5 막, TaO , N_x 막, HfO_2 막, ZrO_2 막, Pr_2O_3 막, La_2O_3 막, SrTiO_3 (STO)막, $(\text{Ba},\text{Sr})\text{TiO}_3$ (BST)막, PbTiO_3 막, $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (PZT)막, $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT)막, $(\text{Pb},\text{La})(\text{Zr},\text{Ti})\text{O}_3$ 막 및 BaTiO_3 (BTO)막으로 이루어진 군에서 선택되는 어느 하나의 단일막 또는 이들 막의 조합으로 형성할 수 있다.

그리고 제2 유전막은 제1 유전막 및 제3 유전막의 두께보다 두껍게 형성하는 것이 바람직한다. 예를 들면 제2 유전막은 100 내지 1000 Å 사이의 두께로 형성할 수 있다.

본 발명의 바람직한 일 실시예에 의하면 제2 유전막을 형성하는 단계 이후에 제2 유전막을 300 내지 500°C 사이의 온도에서 열처리하는 단계를 더 포함할 수 있는데, 열처리는 산소가 포함된 분위기 예를 들면, O_3 가스, O_2 플라스마 가스 또는 N_2O 플라스마 가스 분위기에서 실시할 수 있다.

본 발명의 실시예에 의하면 제1 유전막 또는 제3 유전막은 30 내지 300 Å 사이의 두께로 형성할 수 있는데, 산소(O)는 포함하고 있지만 수소(H)는 포함하고 있지 않는 가스를 반응 가스로 사용하여 형성하는 것이 바람직하다. 예를 들면, 반응 가스로 O_3 가스 또는 O_2 플라스마 가스를 사용할 수 있다.

본 발명의 실시예에 의하면 제1 유전막 또는 제3 유전막은 30 내지 300 Å 사이의 두께로 형성할 수 있는데, 산소(O)는 포함하고 있지만 수소(H)는 포함하고 있지 않는 가스를 반응 가스로 사용하여 형성하는 것이 바람직하다. 예를 들면, 반응 가스로 O_3 가스 또는 O_2 플라스마 가스를 사용할 수 있다.

본 발명의 실시예에 의하면 제1 유전막 또는 제3 유전막은 30 내지 300 Å 사이의 두께로 형성할 수 있는데, 산소(O)는 포함하고 있지만 수소(H)는 포함하고 있지 않는 가스를 반응 가스로 사용하여 형성하는 것이 바람직하다. 예를 들면, 반응 가스로 O_3 가스 또는 O_2 플라스마 가스를 사용할 수 있다.

본 발명의 바람직한 실시예에 의하면 커패시터 하부 전극 또는 커패시터 상부 전극은 도핑된 폴리실리콘, W, Pt, Ru, Ir 등의 금속, TiN, TaN, WN 등의 전도성 금속 질화물 또는 RuO_2 , IrO_2 등의 전도성 금속 산화물로 이루어지는 단일막 또는 이들의 조합으로 이루어진 복합막으로 형성될 수 있는데, 25 내지 500°C 사이의 온도에서 형성하는 것이 바람직하다. 그리고, 커패시터 하부 전극 또는 상부 커패시터 상부 전극은 물리 기상 증착(PVD)법, 원자층 증착(ALD)법 또는 금속 유기물 화학 기상 증착(MOCVD)법을 사용하여 형성할 수 있다.

이하에서는, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려, 여기서 소개되는 실시예는 본 발명의 기술적 사상이 철저하고 완전하게 개시될 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소를 나타낸다.

도 1에는 본 발명에 의한 반도체 소자의 커패시터를 구성하는 커패시터 전극 및 유전막의 구성이 도시되어 있다.

도 1을 참조하면, 기판(110) 상에 커패시터 하부 전극(120), 유전막(130) 및 커패시터 상부 전극(140) 즉 커패시터가 형성되어 있다. 여기서 기판(110)은 실리콘웨이퍼 기판이거나 아니면 그 상부에 형성된 소정의 물질막일 수 있다. 또한, 도면에는 커패시터가 기판 상에 형성된 것만을 도시하고 있으나 본 발명의 실시예는 커패시터가 실리콘웨이퍼 또는 소정의 물질막내에 형성되는 경우에도 적용이 될 수 있다.

또한, 본 실시예에서는 집적 회로에 형성되어 있는 커패시터의 형태에 상관없이 적용될 수 있다. 도시된 바와 같이, 도전체(120 및 140) 사이에 유전막(130)이 평면적으로 형성된 것뿐만 아니라, 예를 들면 실린더형, 판형 또는 스택형 커패시터 등과 입체적인 커패시터에 대해서도 본 발명은 적용이 될 수 있다. 또한, DRAM소자에 형성되는 커패시터뿐만 아니라 특히 고전압에서 작동하는 LDI 소자에 형성되는 커패시터에 적용이 가능하다.

커패시터 하부 전극(120)은 도핑된 폴리실리콘, W, Pt, Ru, Ir 등의 금속 물질, TiN, TaN, WN 등의 전도성 금속 질화물 또는 RuO_2 , IrO_2 등의 전도성 금속 산화물로 이루어지는 단일막이거나 또는 이들의 조합으로 이루어진 복합막일 수 있다. 커패시터 상부 전극(140)도 커패시터 하부 전극(120)과 마찬가지로 도핑된 폴리실리콘, W, Pt, Ru, Ir 등의 금속 물질, TiN, TaN, WN 등의 전도성 금속 질화물 또는 RuO_2 , IrO_2 등의 전도성 금속 산화물로 이루어지는 단일막이거나 또는 이들의 조합으로 이루어진 복합막일 수 있다. 그러나, 커패시터 상부 전극(140) 물질은 커패시터 하부 전극(120) 물질과 반드시 동일할 필요는 없다.

유전막(130)은 AlO 막으로 형성된 제1 유전막(132), AlO 보다 유전 상수가 큰 물질로 형성된 제2 유전막(134) 및 AlO 막으로 형성된 제3 유전막(136)을 포함한다. 제1 유전막(132) 및 제3 유전막(136)의 두께는 각각 약 30 내지 300 Å 정도인 것이 바람직하다. AlO 막(132 및 136)은 밴드 갭(band gap)이 크고 터널링 메커니즘(tunneling mechanism)에 따라 온도에 대한 의존성이 작은 특성을 가진 막이다.

그리고, 제2 유전막(134)은 유전 상수가 큰 물질, 예를 들면 유전 상수가 200이상의 물질로 형성된다. 왜냐하면, 제2 유전막(134)은 제1 유전막(132) 및 제3 유전막에 대하여 전압 분배자(voltage distributor)로서의 역할 즉, 제1 유전막(132) 및 제3 유전막(136)에 높은 전압이 걸리지 않도록 하는 역할을 하는 것이 바람직하기 때문이다. 따라서, 제2 유전막(134)은 제1 유전막(132) 및 제3 유전막(136)보다 두꺼운 것이 바람직하다. 제2 유전막(134)의 두께는 약 100 내지 1000 Å 정도의 두께일 수 있다.

제2 유전막(134)은 두껍게 형성하는 것이 바람직하기 때문에, 비록 누설 전류는 다소 높더라도 두껍게 형성하더라도 독가 산화막(Toxco)의 큰 누설 회로가 작은 물질인 것이 바람직하다. 제2 유전막(134)은 예를 들면, Ta_2O_5 막, 타이타늄(Ti)이 도핑된 Ta_2O_5 막, TaO_x , N_y 막, HfO_2

막, Pr_2O_3 막, La_2O_3 막, SrTiO_3 (STO)막, $(\text{Ba},\text{Sr})\text{TiO}_3$ (BST)막, PbTiO_3 막, $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (PZT)막, SrBi_2

Ta_2O_5 (SBT)막, $(\text{Pb},\text{La})(\text{Zr},\text{Ti})\text{O}_3$ 막 및 BaTiO_3 (BTO)막으로 이루어진 군에서 선택되는 어느 하나의 단일막 또는 이들 막의 조합일 수 있다.

도 2 내지 도 6에는 본 발명의 실시예에 따라 제조된 커패시터의 특성을 보여주기 위한 여러 가지 그래프들이 도시되어 있다.

먼저, 도 2에는 여러 가지 커패시터 및 유전막에 대하여 10nA의 누설 전류를 갖는 항복 전압이 도시되어 있다. 도면에는 커패시터가 폴리 실리콘-유전막-폴리 실리콘막(이하, 'SIS'라 한다) 구조인 경우에 유전막이 ONO 막인 경우와 실리콘 산화막인 경우 그리고 커패시터가 금속(또는 도전성 금속 산화물이거나 도전성 금속 질화물)-유전막-금속(이하, 'MIM'라 한다) 구조인 경우에 유전막이 AlO 막/ TaO 막, AlO 막/ TaO 막/ AlO 막(이하, 'ATA'라 한다), TaO 막, AlO 막, AlO 막/ HfO 막 및 HfO 막인 경우에 대하여 도시되어 있다.

도 2를 보면 알 수 있는 바와 같이, 유전막(130)이 TaO 막, AlO 막 또는 HfO 막과 같이 단일막으로 구성된 경우보다 AlO 막/ TaO 막, AlO 막/ HfO 막 또는 ATA 막과 같이 다층으로 구성된 경우가 동일한 등가 산화막의 크기인 경우에 10nA 항복 전압 측면에서 우수한 전기적 특성을 보여주고 있음을 알 수 있다.

이는 전술한 바와 같이 TaO 나 HfO 와 같이 유전 상수가 비교적 커서 유전막의 두께가 증가하여도 등가 산화막의 두께 증가량은 크지 않은 막을 다른 유전막보다 두껍게 형성하여 전압 분배자 즉, AlO 막에 걸리는 전압을 줄여주는 역할을 하는 막으로 사용하고 터널링 메커니즘에 의하여 전도 특성을 갖는 AlO 막을 사용하여 실질적인 누설 전류를 막아 주는 역할을 하는 막으로서 사용하는 것이 효과적임을 보여준다.

도 3에는 본 발명에 의한 커패시터의 일 실시예인 ATA 막을 포함하는 커패시터와 AlO 막/ TaO 막을 포함하는 커패시터의 누설 전류 특성이 도시되어 있다. 본 그래프에서는 AlO 와 TaO 의 조합 중에서 AlO 막(150 Å)/ TaO 막(600 Å) 및 TaO 막(600 Å)/ AlO 막(150 Å) 형태의 2중 구조와 ATA 막 형태 중에서 상부 및 하부 커패시터 전극의 두께를 달리한 3중 구조(AlO 막(50 Å)/ TaO 막(600 Å)/ AlO 막(100 Å) 및 AlO 막(100 Å)/ TaO 막(600 Å)/ AlO 막(50 Å))가 서로 비교되어 도시되어 있다. 도 3을 참조하면, 양의 전압 및 음의 전압에서의 누설 전류에 대한 균형 측면에서 이중 유전막 구조보다 ATA 막의 3중 유전막 구조가 더 우수한 특성을 보여주고 있음을 알 수 있다.

도 4에는 AlO 막(150 Å)/ TaO 막(600 Å)막 구조에서 커패시터 상부 전극의 증착 방법에 따른 누설 전류 밀도의 크기가 도시되어 있으며, 도 5에는 물리 기상 증착(PVD)법으로 커패시터 상부 전극을 형성한 후에 450°C로 열처리를 한 경우와 하지 않은 경우에 누설 전류 밀도의 크기가 도시되어 있다.

우선, 도 4를 참조하면 커패시터 상부 전극으로 TiN 을 서로 다른 두 가지 방법으로 형성한 경우가 비교되어 있다. 첫 번째가 탄소(carbon)가 함유된 금속 유기물 소스 가스를 사용하여 금속 유기물 화학 기상 증착(MOCVD)법으로 공정을 진행하는데, 이 경우 공정 온도는 약 400°C 정도이다. 두 번째가 탄소가 함유되지 않은 소스 가스를 사용하여 물리 기상 증착(PVD)법의 하나인 스퍼터링(sputtering) 공정을 이용하여 커패시터 상부 전극을 형성한 경우인데, 이 경우 공정 온도는 약 200°C 정도이다.

두 가지 경우에 나타나는 누설 전류 밀도를 비교해보면, 전압이 낮은 경우에는 양자에 큰 차이가 없음을 알 수 있다. 그러나, 전압이 높은 경우에는 MOCVD법으로 TiN 커패시터 상부 전극을 형성한 경우에 항복 현상(breakdown)이 조기에 발생하는 것을 알 수 있다.

계속해서, 도 5를 참조하면 도 4에서와 동일하게 AlO 막(150 Å)/ TaO 막(600 Å) 구조에서는 TiN 으로 커패시터 상부 전극을 형성할 때, MOCVD법이 아니라 PVD법을 사용한 경우에도 질소(N_2) 분위기 하에서 약 450°C 정도의 추가적인 열처리를 하면 커패시터의 누설 전류 특성이 나빠지는 현상이 나타나는 것을 알 수 있다. 그러므로, MOCVD법으로 커패시터 상부 전극을 형성할 경우에 항복 현상이 조기에 발생하는 것은 탄소를 포함하고 있는 소스 가스가 원인이 아니라 약 400°C가 되는 공정 온도가 그 원인임을 알 수 있다.

반면, 커패시터의 유전막이 $\text{ATA}(\text{AlO}$ 막(50 Å)/ TaO 막(600 Å)/ AlO 막(100 Å))막으로 된 3중 구조인 경우에는 TiN 으로 커패시터 상부 전극을 형성한 후에, 질소 분위기 하에서 약 450°C로 열처리를 하여도 누설 전류 특성이 열화되지 않는 것을 알 수 있다. 오히려, ATA 막 구조에서는 베이스 레벨(base level)의 전류가 낮아지는 현상이 나타난다.

그러므로, AlO/TaO 막 또는 TaO/AlO 막으로 형성된 2중막 구조에서 커패시터 상부 전극을 형성한 후에 고온으로 열처리를 하면 누설 전류가 증가하는 원인은 커패시터 상부 전극 물질인 TiN 과 TaO 가 서로 반응을 일으키거나 또는 TaO 막 내에 존재하는 산소 이온이 TiN 막으로 이동하여 TaO 막 내에 산소가 부족해지기 때문이다. 고온으로 열 처리 할 때 TaO 막 내에 존재하는 산소가 부족해지는 현상을 방지하기 위해서는 본 발명과 같이 TaO 막과 전극이 직접 접촉하게 되는 것을 방지하기 위해서 그 사이에 AlO 막이 더 존재하는 것이 바람직하다.

도 6에 본 발명의 일 실시예에 따른 A/T/A 막을 포함하고, 상부 및 하부 커패시터 전극은 TiN 으로 PVD법을 사용하여 형성된 커패시터에 대한 TDDB(Time Dependent Dielectric Breakdown)결과가 도시되어 있다. 도면에 표시된 두께 즉 370 Å, 144 Å 및 165 Å는 등가 산화막 두께를 나타낸다. 도 6을 참조하면, ONO 막과 동등한 항복 전압 수준에서 단위 면적 당 커패시턴스 값은 2배 이상일 뿐만 아니라 신뢰성 수준도 ONO 막 이상임을 알 수 있다.

도 7a 내지 도 7c에는 본 발명의 바람직한 실시예에 따른 반도체 소자의 커패시터 제조 방법을 설명하기 위하여 단면도들이 공정 순서에 따라 도시되어 있다. 본 실시예에서는 커패시터가 기판 상에 형성되고, 그 형태도 실린더형인 경우에 대해서 도시되어 있다. 그러나, 본 발명은 이와 같은 경우에만 한정되는 것은 아니며 커패시터의 형성 위치나 형태에 관계없이 여러 가지 모습으로 변형하여 적용할 수 있다.

도 7a를 참조하면, 기판(210)상에 실리콘 산화막으로 층간 절연막(212)이 형성되어 있으며, 층간 절연막(212)의 내부에는 커패시터 하부 전극과의 전기적 접촉을 위하여 콘택 플러그(214)가 형성되어 있다. 실린더형의 커패시터를 형성하기 위하여 먼저 콘택 플러그(214)를 포함하는 층간 절연막(212) 상에 식각 저지막(216)을 형성한다. 식각 저지막(216)은 그 위에 형성될 몰드층(218)과 식각 선택비가 큰 물질로 형성하는 것이 바람직하다. 예컨대, 몰드층(218)이 실리콘 산화막으로 형성되는 경우에는 식각 저지막(216)은 통상적으로 실리콘 질화막으로 형성된다.

계속해서, 식각 저지막(216) 상에 몰드층(218)을 형성한다. 식각 저지막(216)이 실리콘 질화막으로 형성된 경우에 몰드층(218)은 실리콘 산화막으로 형성할 수 있다. 몰드층(218)의 두께는 형성하고자 하는 커패시터의 하부 전극의 높이를 고려하여 이보다 약간 두껍게 형성하는 것이 바람직하다.

도 7b를 참조하면, 계속해서 포토리소그래피 공정을 이용하여 커패시터 하부 전극 형성 영역(219)을 한정하기 위하여 몰드층(218)을 패터닝하고 계속해서 노출된 식각 저지막(216)을 식각한다. 그러면, 남아 있는 몰드층(218a) 및 식각 저지막(216a)에 의하여 콘택 플러그(214)를 노출시키는 커패시터 하부 전극 형성 영역(219)이 한정된다.

도 7c를 참조하면, 커패시터 하부 전극 형성 영역(219) 및 몰드층(218a) 상에 커패시터 하부 전극 형성용 도전 물질층(220)을 균일한 두께로 형성한다. 예컨대, 도전 물질층(220)은 도핑된 폴리실리콘, W, Pt, Ru, Ir 등의 금속, TiN, TaN, WN 등의 전도성 금속 질화물 또는 RuO_2 , IrO_2 등의 전도성 금속 산화물로 이루어지는 단일막 또는 이들의 조합으로 이루어진 복합막으로 형성할 수 있다.

도전 물질층(220)은 화학 기상 증착법, 물리 기상 증착법 또는 원자층 증착(ALD)법을 사용하여 형성할 수 있다. 커패시터 하부 전극을 금속 배선층 사이에 형성하는 경우에는 증착 온도의 범위는 25 내지 500°C 사이인 것이 바람직하다. 이는 커패시터를 금속 배선층 사이에 형성하기 때문에 공정 온도가 너무 높으면 금속 배선의 신뢰성에 문제가 발생할 수 있기 때문이다. 계속해서, 도전 물질층(220) 상에는 버퍼층(225)을 형성하는데, 버퍼층(225)은 몰드층(218)과 마찬가지로 실리콘 산화막으로 형성할 수 있다.

도 7d를 참조하면, 계속해서 화학적 기계적 연마(CMP)법 등을 이용하여 몰드층(218a)이 노출될 때까지 버퍼층(225) 및 도전 물질층(220)을 식각하여 도전 물질층(220)의 노드를 분리한다. 다음으로, 습식 식각법 등을 이용하여 잔존하고 있는 몰드층(218a) 및 버퍼층(225)을 제거한다. 이 식각 과정에서 식각 저지막(216a)은 하부 층간 절연막(212)이 식각되는 것을 방지해주는 역할을 한다. 그 결과, 도식된 바와 같이 실린더 모양의 커패시터 하부 전극(220a)이 만들어진다.

도 7e를 참조하면, 계속해서 커패시터 하부 전극(220a)의 내, 외벽에 유전막(230)을 형성하는 공정이 진행된다. 우선, 커패시터 하부 전극(220a)의 내, 외벽에 산화알루미늄(AlO , 232)막 즉 제1 유전막을 균일한 두께로 형성한다. 제1 유전막인 AlO 막(232)은 원자층 증착(ALD)법을 사용하여 형성하는 것이 바람직하다. 그러나, 화학 기상 증착(CVD)법을 사용하여 형성할 수도 있다.

ALD법을 사용할 경우에는 공정 온도는 약 250°C에서 500°C 사이인 것이 바람직하다. 소스 가스로는 TMA(Tetra Methyl Aluminum)를 사용할 수 있으며, 반응 가스로는 산소가 함유된 가스를 사용한다. 반응 가스는, 예를 들어 수증기(H_2O), 오존(O_3) 또는 산소(O_2) 플라스마 등을 사용하는 것이 바람직하다. 그리고, 두께는 약 30 내지 300 Å 정도가 되도록 형성한다. 보다 바람직한 경우는 반응 가스로서 수소(H) 이온을 함유하지 않은 오존이나 산소 플라스마를 사용하고 공정 온도는 약 300°C 내지 450°C 정도가 되는 경우이다.

도 8 및 도 9에는 반응 가스로서 H기를 포함한 가스를 사용한 경우(H_2O)와 H기가 포함되지 않는 가스(O_2 가스)를 사용한 경우에 AlO 막의 유전 특성이 도시되어 있다. 상기 실시예에서 상, 하부 전극은 TiN를 사용하여 형성하였으며, 약 200°C의 온도에서 스퍼터링 방식으로 증착하였다. 도면에 표시된 AlO 막의 두께는 등가 산화막의 두께가 아니라 실제 막의 두께를 나타낸다. 그리고 소스 가스는 공통적으로 TMA를 사용하였다. 도면을 참조하면 알 수 있는 바와 같이, 반응 가스로서 H_2O 를 사용한 경우가 동일한 막의 두께에서 누설 전류 특성이 취약하다. 이는 아마도 반응 가스로서 H_2O 를 사용한 경우에 AlO 막의 형성 과정에서 막내에 포함된 OH기가 막의 누설 전류 특성을 나쁘게 만들기 때문인 것으로 생각된다.

계속해서, 제1 유전막(232) 상에 제2 유전막(234)을 형성한다. 제2 유전막(234)은 누설 전류의 양은 다소 많더라도 유전 상수의 값이 커서 두께가 형성하는 경우에도 등가 산화막 두께의 변화가 작은 물질을 사용하여 형성하는 것이 바람직하다. 따라서, 제2 유전막(234)은 유전 상수가 20 이상인 물질로 형성하는 것이 바람직하다. 예를 들어, 제2 유전막(234)은 Ta_2O_5 막, 타이타늄(Ti)이 도핑된 Ta_2O_5 막, TaO_xN_y 막, HfO_2 막, ZrO_2 막, PbO_2 막, La_2O_3 막, SiTiO_3 (STO)막, $(\text{Ba,Sr})\text{TiO}_3$ (BST)막, PbTiO_3 막, $\text{Pb}(\text{Zr,Ti})\text{O}_3$ (PZT)막, SrBi_2

Ta_2O_5 (SBT)막, $(\text{Pb,Lu})(\text{Zr,Ti})\text{O}_3$ 막 또는 BaTiO_3 (BTO)막으로 형성되거나 또는 이들 막의 조합으로 형성될 수도 있다.

제2 유전막(234)을 형성하는 공정으로는 ALD법이나 CVD법 등을 사용할 수 있다. 예를 들어, ALD법을 사용하여 TaO 막을 형성하는 경우에 공정 온도는 약 250°C 내지 500°C 정도로 하며, 산소를 포함하는 반응 가스로는 AlO 막과 마찬가지로 수증기(H_2O), 오존(O_3) 또는 산소(O_2) 플라스마 등을 사용할 수 있다. 그리고 형성되는 제2 유전막(234)의 두께는 100 Å 내지 1000 Å 사이가 되도록 한다. CVD법을 사용하여 TaO 막을 형성하는 경우에는 산소를 포함하는 반응 가스로 수증기(H_2O), 오존(O_3)

또는 산소(O_2) 플라스마 등을 사용하며, 약 350°C 내지 500°C 정도의 온도에서 증착을 하는 것이 바람직하다.

상기한 TaO 막 형성 조건에서 반응 가스로 질소가 함유된 가스 예컨대, N_2O 가스나 NH_3 가스를 첨가하면 TaON 막을 형성할 수도 있다.

그리고, 타이타늄이 도핑된 TaO 막을 형성하기 위해서는 다른 모든 조건은 TaO 막을 형성하는 조건과 동일하며 단지 소스 가스에서 Ta가 Ti로 치환된 것을 사용하거나 Ti를 포함하는 가스 및 Ta를 포함하는 가스가 혼합된 것을 소스 가스로 사용하면 된다.

계속해서, CVD법을 이용하여 TaO 막으로 제2 유전막(234)을 형성한 다음에는 추가적으로 열처리 공정을 실시하는 것이 바람직하다. 도면에는 열처리를 실시하는 것을 상투에 화살표로서 표시하였다.

도 10에는 CVD법을 이용하여 TaO 막을 형성한 경우에 후속 공정으로서 열처리 공정을 한 경우와 하지 않은 경우의 누설 전류 특성이 도시되어 있다. 도 10을 참조하면, 커패시터의 유전막(230)은 ATA막이며 오존 가스를 포함하는 분위기 하에서 450°C의 온도로 열처리한 경우와 그렇지 않은 경우가 비교되어 있으며, 열처리를 한 경우도 TaO 막을 100 Å의 두께로 증착한 뒤 5분간의 열처리를 실시하는 것을 6회 반복 실시한 경우와 한번에 TaO 막을 600 Å의 두께로 증착하고 30분 동안 열처리한 경우로 나누어 실험을 실시하였다.

도면을 참조하면 알 수 있는 바와 같이, 열처리를 한번만 실시하든 또는 여러 번 나누어 실시하든 CVD법으로 TaO 막을 형성한 다음에는 열처리를 실시하는 것이 바람직하다. 그리고, 열처리 공정의 온도는 약 300°C 내지 500°C 정도가 되는 것이 바람직하다. 도 7e에는 열처리 공정을 실시하는 것이 화살표로 표시되어 있다.

도 7f를 참조하면, 계속해서 제2 유전막(234) 상에 AlO 막으로 제3 유전막(236)을 형성한다. 제3 유전막(236)은 제1 유전막(232)과 동일한 방법을 사용하여 동일한 공정 조건하에서 형성할 수 있다.

다음으로, 제3 유전막(236) 상에 상부 커패시터 전극(240)을 형성한다. 상부 커패시터 전극(240)은 하부 커패시터 전극(220a)과 마찬가지로 도핑된 폴리실리콘, W, Pt, Ru, Ir 등의 금속, TiN, TaN, WN 등의 전도성 금속 질화물 또는 RuO_2 , IrO

등의 전도성 금속 산화물로 이루어지는 단일막 또는 이들의 조합으로 이루어진 복합막으로 형성할 수 있다. 형성 방법으로 ALD법, CVD법 또는 PVD법을 사용할 수 있으며, 공정 온도는 약 25℃에서 500℃ 사이인 것이 바람직하다.

본 발명에 의한 유전막(230) 예를 들어 ATA막은 인-시츄로 공정을 진행하는 것이 바람직하다. 따라서, 인-시츄 공정을 뒷받침하기 위해서는 AIO막을 형성하는 챔버 및 고유전막(예컨대, TaO막)을 형성하는 챔버를 포함하는 클러스터화 된 설비를 사용하는 것이 바람직하다.

이상, 실린더형 커패시터에 대하여 본 발명에 의한 커패시터의 제조방법에 대하여 기술하였으나, 본 발명의 범위는 전술한 특정예에 대해서만 한정되는 것이 아니다. 오히려 전술한 실시예들은, 도 1에 도시된 것과 같은 그 기본적인 구조가 상, 하부 전극 사이에 AIO막/제2 유전막/AIO막을 유전막으로 포함하고 있는 커패시터를 제조하는 경우에는 그 형태에 관계없이 적용할 수 있다.

발명의 효과

본 발명에 의하면 단위 면적당 커패시턴스 값이 큰 커패시터를 제조할 수 있다. 따라서, 부스팅 주파수를 낮출 수 있기 때문에 전력의 소모를 줄일 수 있어 저전력 소자를 제조할 수 있다. 그리고, 예전과 동일한 커패시턴스를 갖는 커패시터를 예전보다 작게 제조할 수 있기 때문에 칩의 크기를 줄일 수 있으며 고집적화를 용이하게 달성할 수 있다.

또한, 예전에 비하여 높은 항복 전압을 보여주며, 누설 전류 특성 및 신뢰도가 향상되는 등 전기적 특성이 개선된 커패시터 소자를 제조할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판에 형성된 커패시터 하부 전극;

상기 커패시터 하부 전극 상에 산화 알루미늄(Al_2O_3)으로 형성된 제1 유전막;

상기 제1 유전막 상에 상기 산화 알루미늄보다 유전 상수가 큰 물질로 형성된 제2 유전막;

상기 제2 유전막 상에 산화 알루미늄으로 형성된 제3 유전막; 및

상기 제3 유전막 상에 형성된 커패시터 상부 전극을 포함하는 것을 특징으로 하는 반도체 소자의 커패시터(capacitor).

청구항 2.

제1항에 있어서, 상기 제2 유전막을 형성하는 물질은 유전 상수가 20이상인 물질인 것을 특징으로 하는 반도체 소자의 커패시터.

청구항 3.

제1항에 있어서, 상기 제2 유전막은 Ta_2O_5 막, 타이타늄(Ti)이 도핑된 Ta_2

O_5 막, TaO_xN_x 막, HfO_2 막, ZrO_2 막, Pr_2O

막, La_2O_3 막, SrTiO_3 (STO)막, $(\text{Ba},\text{Sr})\text{TiO}_3$ (BST)막, PbTiO_3 막, $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (PZT)막, $\text{SiBi}_2\text{Ta}_2\text{O}_9$

(SET)막, $(\text{Pb},\text{La})(\text{Zr},\text{Ti})\text{O}_3$ 막 및 BaTiO_3 (BTO)막으로 이루어진 군에서 선택되는 어느 하나의 단일막 또는 이들 막의 조합으로 이루어진 것을 특징으로 하는 반도체 소자의 커패시터.

청구항 4.

제1항에 있어서, 상기 제2 유전막의 두께는 상기 제1 유전막 및 상기 제3 유전막의 두께보다 두꺼운 것을 특징으로 하는 반도체 소자의 커패시터.

청구항 5.

제1항에 있어서, 상기 제1 유전막 또는 상기 제3 유전막의 두께는 30 내지 300 Å 사이인 것을 특징으로 하는 반도체 소자의 커패시터.

청구항 6.

제1항에 있어서, 상기 제2 유전막의 두께는 100 내지 1000 Å 사이인 것을 특징으로 하는 반도체 소자의 커패시터.

청구항 7.

제1항에 있어서, 상기 커패시터 하부 전극 또는 상기 커패시터 상부 전극은 질화티타늄(TiN), 질화탄탈륨(TaN), 텅스텐(W), 질화텅스텐(WN), 알루미늄(Al), 구리(Cu), 루테튬(Ru), 백금(Pt), 이리듐(Ir) 및 폴리 실리콘(poly-Si)으로 구성된 군에서 선택된 어느 하나의 물질 또는 이들의 조합으로 형성된 것을 특징으로 하는 반도체 소자의 커패시터.

청구항 8.

반도체 기판에 커패시터 하부 전극을 형성하는 단계;

상기 커패시터 하부 전극 상에 산화 알루미늄(Al_2O_3)으로 형성된 제1 유전막을 형성하는 단계;

상기 제1 유전막 상에 상기 산화 알루미늄보다 유전 상수가 큰 물질로 형성된 제2 유전막을 형성하는 단계;

상기 제2 유전막 상에 산화 알루미늄으로 형성된 제3 유전막을 형성하는 단계; 및

상기 제3 유전막 상에 커패시터 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 9.

제8항에 있어서, 상기 제2 유전막은 유전 상수가 20이상인 물질로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 10.

제8항에 있어서, 상기 제2 유전막은 Ta_2O_5 막, 타이타늄(Ti)이 도핑된 Ta_2

O_5 막, TaO_xN_y 막, HfO_2 막, ZrO_2 막, Pt_2O_3

막, La_2O_3 막, $SrTiO_3$ (STO)막, $(Ba,Sr)TiO_3$ (BST)막, $PbTiO_3$ 막, $Pb(Zr,Ti)O_3$ (PZT)막, $SrBi_2Ta_2O_{12}$

(SBT)막, $(Pb,La)(Zr,Ti)O_3$ 막 및 $BaTiO_3$ (BTO)막으로 이루어진 군에서 선택되는 어느 하나의 단일막 또는 이들 막의 조합으로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 11.

제8항에 있어서, 상기 제2 유전막은 상기 제1 유전막 및 상기 제3 유전막의 두께보다 두껍게 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 12.

제8항에 있어서, 상기 제2 유전막은 100 내지 1000 Å 사이의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 13.

제8항에 있어서, 상기 제2 유전막을 형성하는 단계 이후에 상기 제2 유전막을 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 14.

제13항에 있어서, 상기 열처리 단계는 산소가 포함된 분위기에서 실시하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 15.

제14항에 있어서, 상기 열처리 단계는 O_3 가스, O_2 플라즈마 가스 또는 N_2

O 플라즈마 가스 분위기에서 실시하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 16.

제14항에 있어서, 상기 열처리 단계는 300 내지 500°C 사이의 온도에서 실시하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 17.

제8항에 있어서, 상기 제1 유전막 및 상기 제3 유전막은 30 내지 300 Å 사이의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 18.

제8항에 있어서, 상기 제1 유전막 및/또는 상기 제3 유전막은 산소(O)는 포함하고 있지만 수소(H)는 포함하고 있지 않는 가스를 반응 가스로 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 19.

제18항에 있어서, 상기 반응 가스로 O_3 가스 또는 O_2 플라즈마 가스를 사용하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

청구항 20.

제8항에 있어서, 상기 커패시터 하부 전극 또는 상기 커패시터 상부 전극은 질화티타늄(TiN), 질화탄탈론(TaN), 텅스텐(W), 질화텅스텐(WN), 알루미늄(Al), 구리(Cu), 루테튬(Ru), 백금(Pt), 이리듐(Ir) 및 폴리 실리콘(poly-Si)으로 구성된 군에서 선택된 어느 하나의 물질 또는 이들의 조합으로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

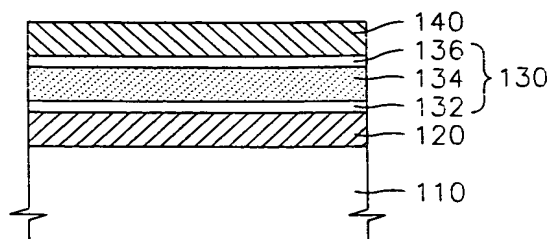
청구항 21.

제20항에 있어서, 상기 커패시터 하부 전극 또는 상기 커패시터 상부 전극은 25 내지 250°C 사이의 온도에서 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

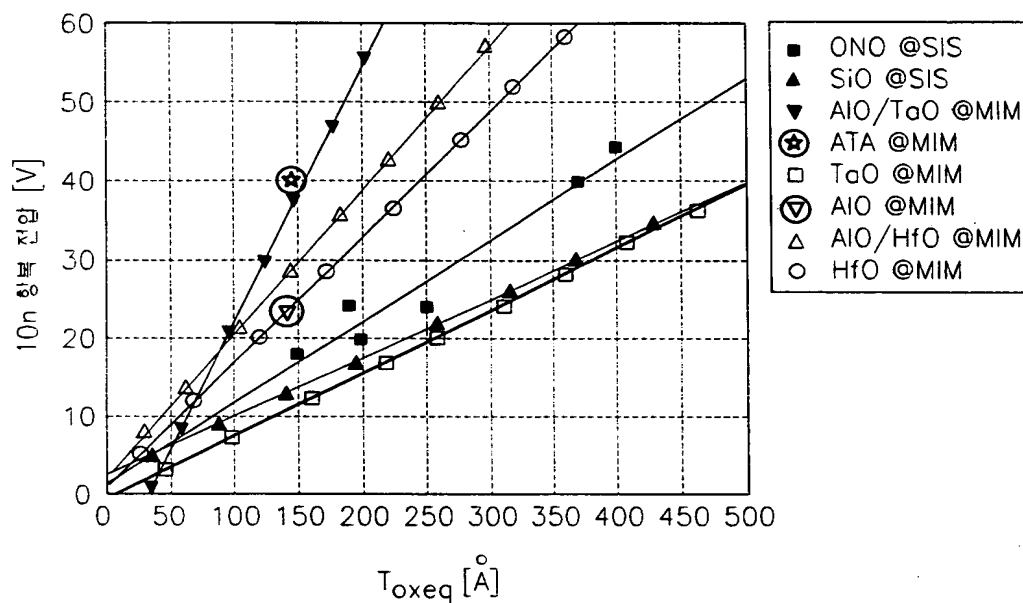
청구항 22.

제8항에 있어서, 상기 커패시터 하부 전극 또는 상기 커패시터 상부 전극은 물리 기상 증착(PVD)법, 원자층 증착(ALD)법 또는 금속 유기물 화학 기상 증착(MOCVD)법을 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

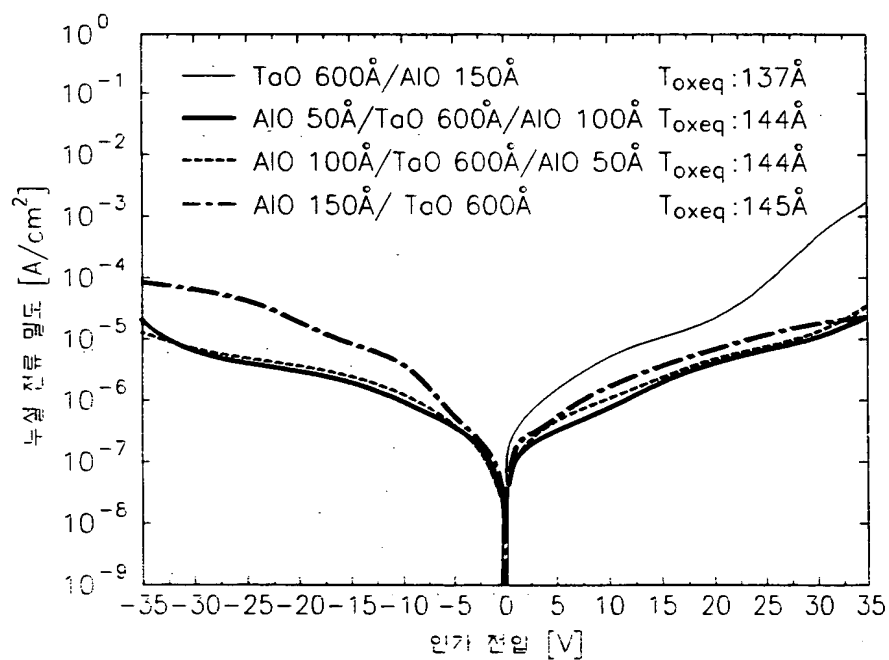
도면 1

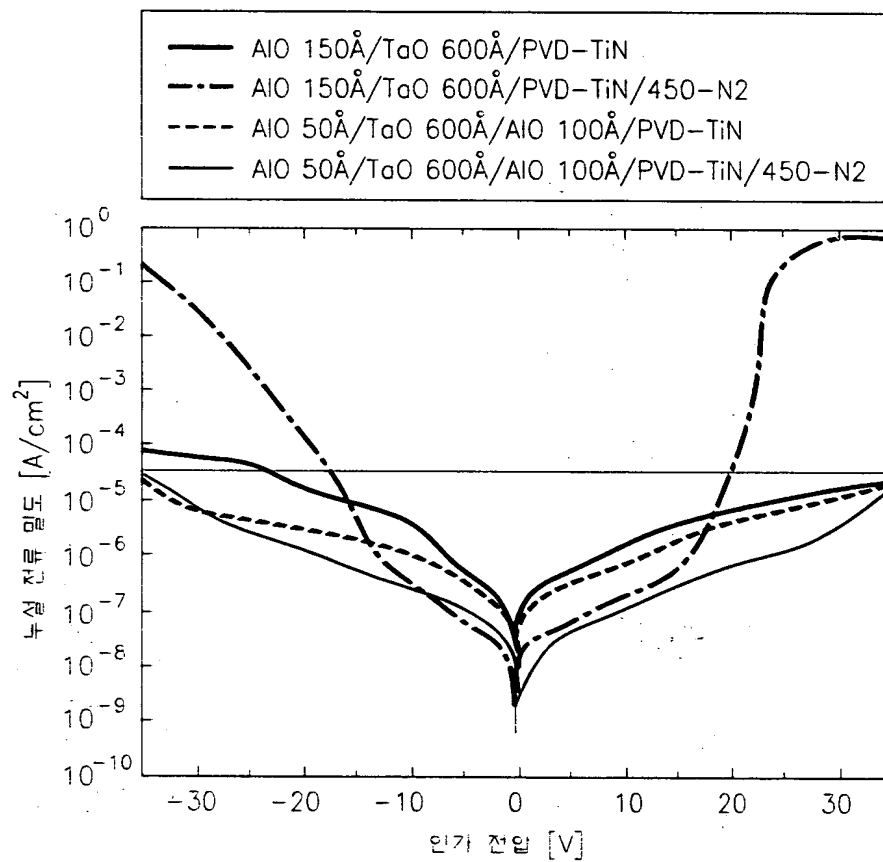
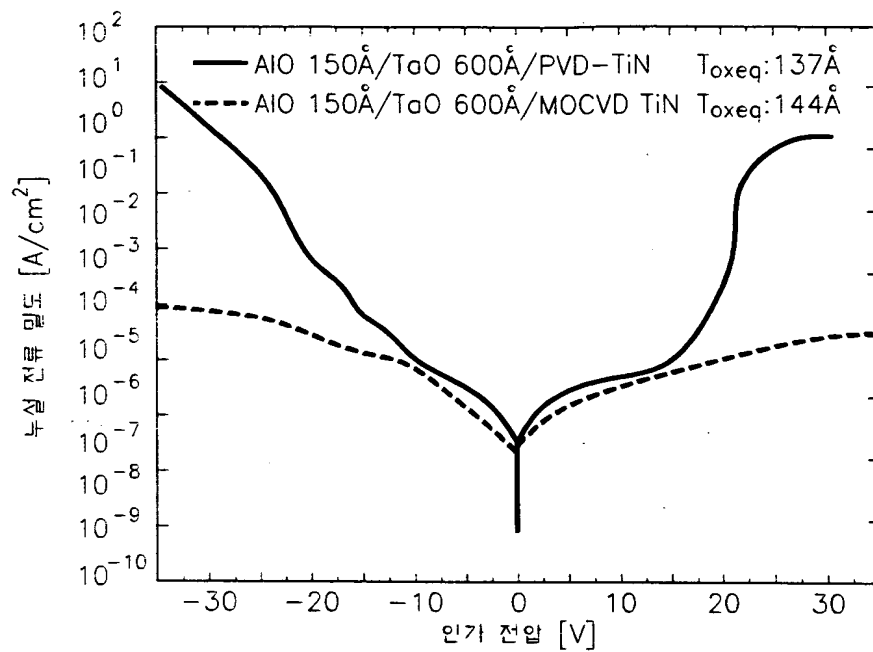


도면 2

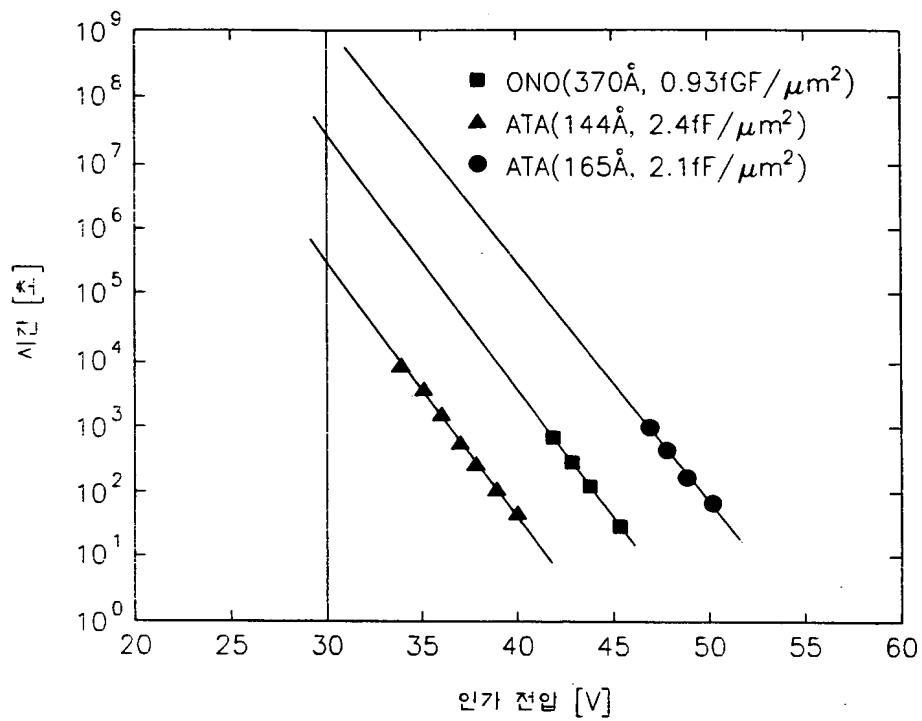


도면 3

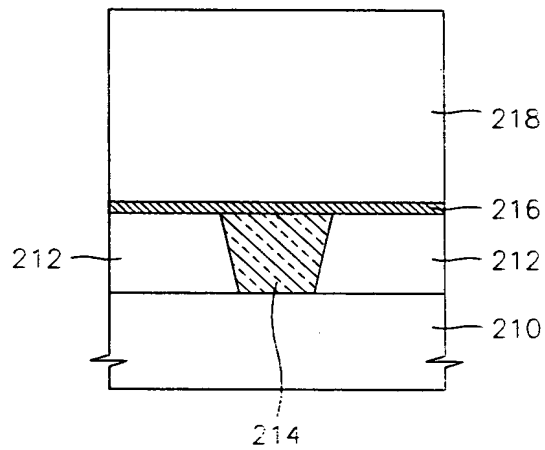




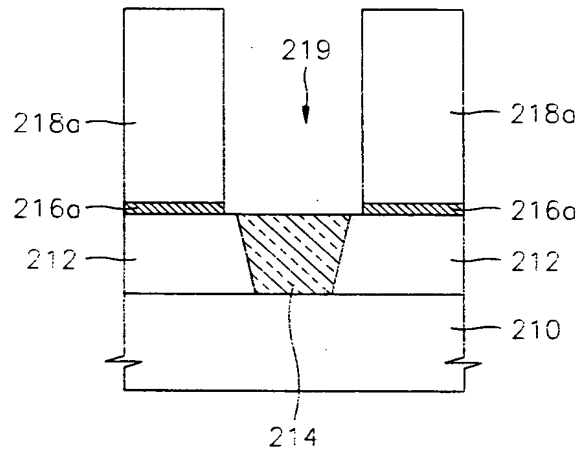
도면 6



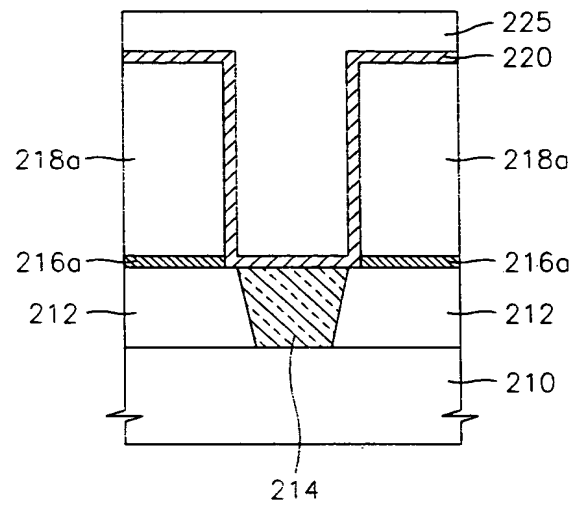
도면 7a



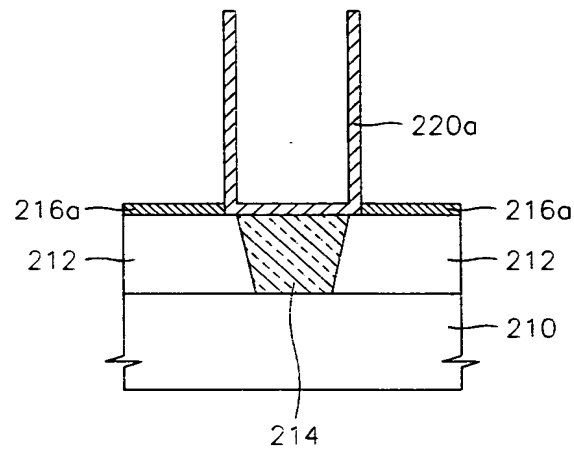
도면 7b



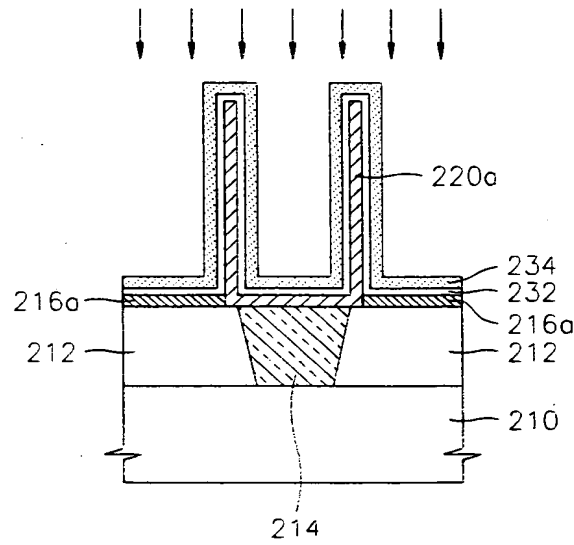
도면 7c



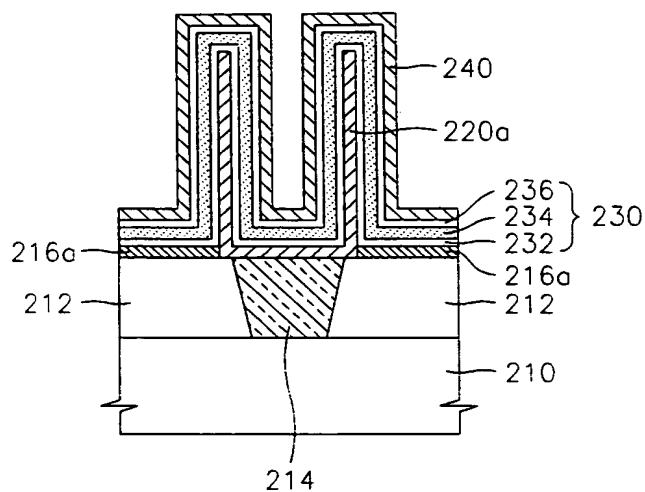
도면 7d



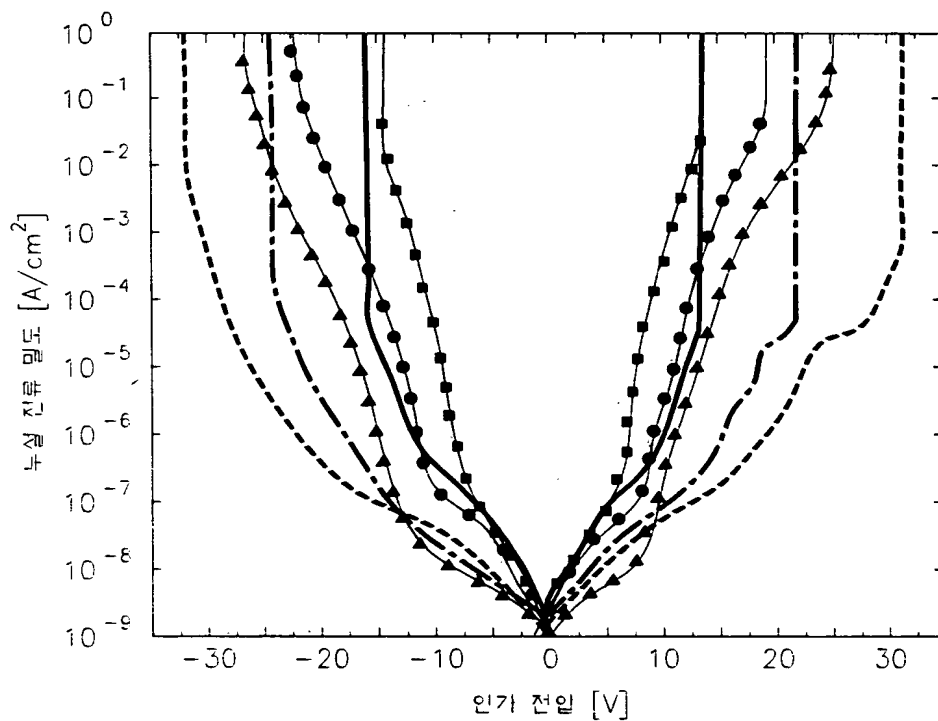
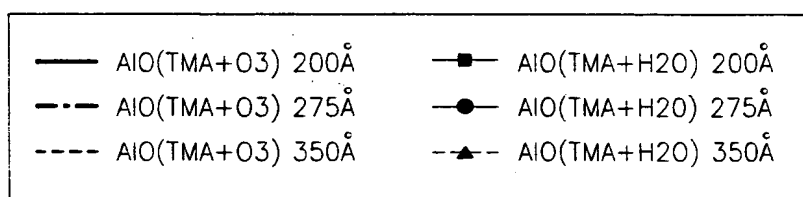
도면 7e

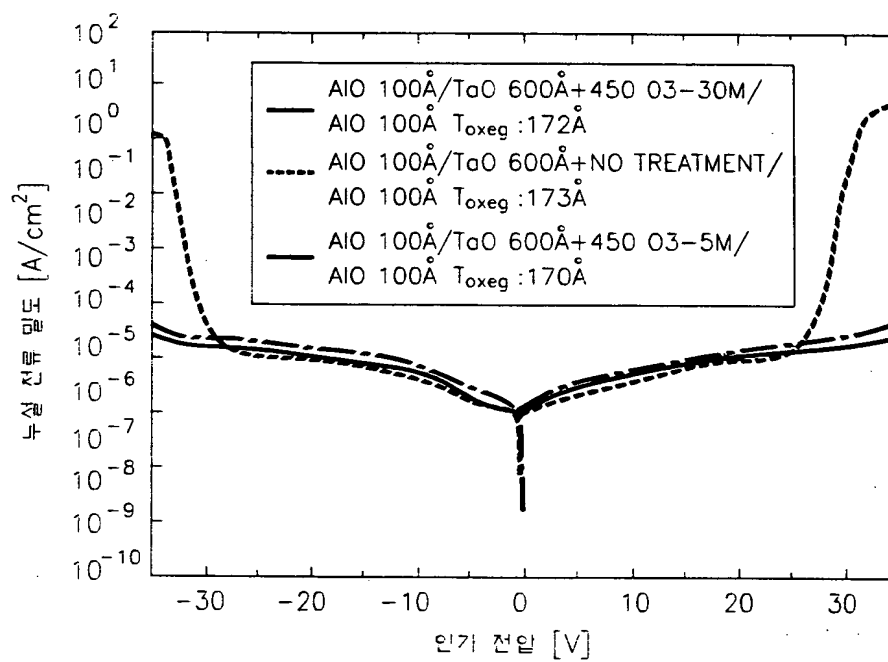
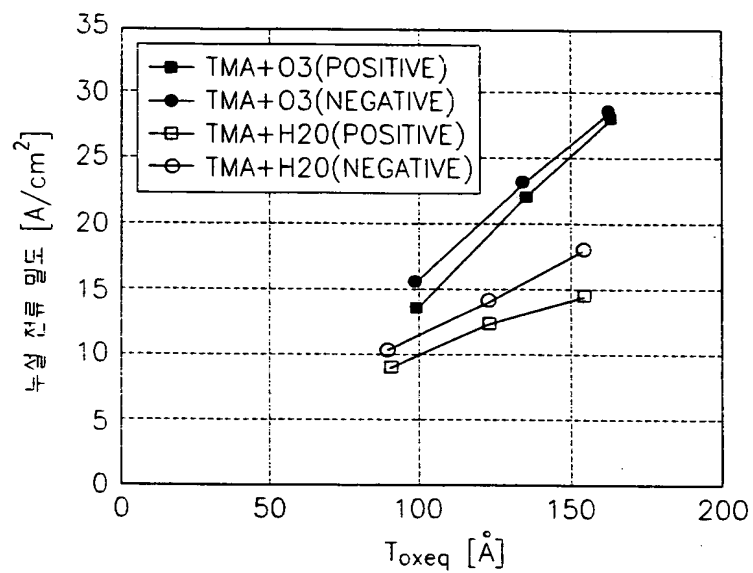


도면 71



도면 8





**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.